

DIALOG(R)File 347:JAPIO  
(c) 2004 JPO & JAPIO. All rts. reserv.

02836743     \*\*Image available\*\*  
ACTIVE MATRIX SUBSTRATE

PUB. NO.:     **01-134343** [JP 1134343 A]  
PUBLISHED:     May 26, 1989 (19890526)  
INVENTOR(s):   MORIMOTO HIROSHI  
                 KATAYAMA MIKIO  
                 SHIMADA YASUNORI  
                 TANAKA HIROHISA  
APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP  
                 (Japan)  
APPL. NO.:     62-292467 [JP 87292467]  
FILED:         November 19, 1987 (19871119)  
INTL CLASS:     [4] G02F-001/133; G09F-009/30; H01L-021/82  
JAPIO CLASS:   29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2  
                 (ELECTRONICS -- Solid State Components); 44.9 (COMMUNICATION  
                 -- Other)  
JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS --  
Glass  
                 Conductors)  
JOURNAL:       Section: P, Section No. 923, Vol. 13, No. 382, Pg. 143,  
                 August 24, 1989 (19890824)

#### ABSTRACT

PURPOSE: To reduce the generation rate of the breaking of a source line and its resistance by providing a thin film transistor(TR) array in a matrix on an insulating substrate and forming the source line of a conductor thin film consisting of  $\geq 2$  layers.

CONSTITUTION: A by-pass line 6 is provided at an intersection part separately from a source bus line 5 to form a multilayered structure of thin conductor films through an inter-layer insulating film and a through hole 9. Further, an  $n(\text{sup } +)/i$  layer 7 of a-Si and an etching stopper  $\text{SiN}(\text{sub } x)$  layer 8 are formed at the intersection part separately in an island shape and the possibility of the breaking of the source bus line due to the separation of the layers 7 and 8 is reduced at the intersection part. This constitution precludes a linear defect due to the breaking of the source bus line and improves the picture quality of the active matrix display device.

?

⑩ 日本国特許庁 (J P)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平1-134343

⑬ Int. Cl.<sup>4</sup> 識別記号 庁内整理番号 ⑭ 公開 平成1年(1989)5月26日  
 G 02 F 1/133 3 2 7 7370-2H  
 G 09 F 9/30 3 3 8 7335-5C  
 H 01 L 21/82 7925-5F 審査請求 未請求 発明の数 1 (全9頁)

⑮ 発明の名称 アクティブマトリクス基板

⑯ 特 願 昭62-292467

⑰ 出 願 昭62(1987)11月19日

⑱ 発 明 者 森 本 弘 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
 ⑲ 発 明 者 片 山 幹 雄 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
 ⑳ 発 明 者 島 田 康 憲 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
 ㉑ 発 明 者 田 仲 広 久 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
 ㉒ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号  
 ㉓ 代 理 人 弁理士 青 山 葆 外2名

明 細 書

1. 発明の名称

アクティブマトリクス基板

2. 特許請求の範囲

(1) 絶縁性基板上に薄膜トランジスタアレイがマトリクス状に形成され、該トランジスタアレイのソースバスラインが2層以上の導電体の薄膜より形成されていることを特徴とするアクティブマトリクス基板。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は液晶等と組み合わせてアクティブマトリクス表示装置を構成するための薄膜トランジスタアレイを有するアクティブマトリクス基板に関する。

[従来技術とその問題点]

アクティブマトリクス表示装置において、結素欠陥や機械欠陥が発生することは、重大な品位不良となる。これらの欠陥を防止するためには、アクティブマトリクス基板におけるゲートバスライ

ン、ソースバスラインの断線、線間リークあるいは薄膜トランジスタ(以下TFTと称する)の動作不良をなくす必要がある。これらの欠陥原因としては、ホトリソグラフィプロセスあるいは薄膜形成プロセスにおけるゴミ、異物または膜の剥離がある。

以下に従来構造のTFTアクティブマトリクス基板について説明する。第24図は、TFTをそれぞれ含む結素(A...)をマトリクス状に配列したTFTアクティブマトリクス基板である。従来構造のTFTおよびバスライン、結素電極を第22図、第23図に示す。第23図は第22図におけるB-B'断面を示す図である。ガラス基板S上にゲートバスラインa、bをタンタル(Ta)で形成し、ゲート絶縁膜は酸化タンタル(Ta<sub>2</sub>O<sub>5</sub>)層c、窒化シリコン(SiNx)層dの二重構造となっており、半導体層e、fは高性アモルファスシリコン(a-Si(i))であり、ソースバスラインg、hはチタン(Ti)、ドレイン電極i、jはチタン、結素電極k、lはITO膜(酸化インジウム

## 特開平1-134343 (2)

透明導電膜)、半導体層とソース・ドレイン電極の間には、エッチングストッパー層としての窒化シリコン層 $r, m$ および $n^+$ 型アモルファスシリコン( $a-Si(n^+)$ )層 $p, q$ が形成されている。

また、ソースバスライン $e$ とゲートバスライン $a$ のクロス部にはソース・ゲート間のリークを防止するため、 $a-Si(i)/a-Si(n^+)$ 層 $x$ およびエッチングストッパー層 $u$ が形成されている。ここでゲートバスライン $a, b$ のクランクルあるいはソースバスライン $e, h$ のチタンが何らかの原因で断線した場合、従来構造のアクティブマトリクス基板においては線状欠陥が生じる。またTFTについても何らかの原因で破損すると、従来構造のアクティブマトリクス基板においては線状欠陥が生じる。

そのため、従来はこれらの欠陥を防止するため、プロセス上の対策がなされていたが、完全に防止することは困難であった。

本発明は上記の欠点に鑑み、アクティブマトリクス基板において、ソースバスラインの断線によ

ら引き出された電極15とに接続されている。また参照番号14はドレイン電極であり、透明導電膜であるITO膜12に接続している。以上の基本構成は従来例と同じである。以下に本発明の各種の冗長性を持たせた部分について、①ゲートバスライン、②ソースバスライン、③絶縁について説明する。

## ①ゲートバスライン

通常のゲートバスライン1と平行にバイパスライン2を設けている。この様にバイパスを設けることにより、実効的にバスラインの線幅が増加する。また、バスライン材料が剥離した場合でも、両方のバスライン1, 2が同時に剥離する確率は、バスラインが一本の場合の剥離の確率よりも低くなるので、バスライン1, 2のどちらかに剥離が生じて、以上の冗長性を持たせることによりTFT全体としては欠陥のない作動性の良好なものとなる。また、第21図に示されるように、ゲートバスラインは2層の導電体薄膜であるチタン、タンタルより形成されており、該導電体薄膜の各

(2)る線状欠陥を防止し、アクティブマトリクス表示装置の画像品位の向上を図るためのアクティブマトリクス基板の構造を提供することを目的とする。

## [問題点を解決するための手段]

そこで、本発明に係るアクティブマトリクス基板は、絶縁性基板上に薄膜トランジスタアレイがマトリクス状に形成され、該トランジスタアレイのソースバスラインが2層以上の導電体の薄膜より形成されていることを特徴とする。

## [作用]

アクティブマトリクス基板における、ソースバスラインの断線の発生確率を低下させ、かつソースバスラインの抵抗が低下する。

## [実施例]

第1図に、本発明の実施例である各種の冗長性を持たせたアモルファスシリコン( $a-Si$ )半導体TFTアクティブマトリクス基板を示す。参照番号1, 5はそれぞれゲートバスライン、ソースバスラインである。TFT11はゲートバスラインから引き出された電極13とソースバスラインか

ら引き出された電極15とに接続されている。また参照番号14はドレイン電極であり、透明導電膜であるITO膜12に接続している。以上の基本構成は従来例と同じである。以下に本発明の各種の冗長性を持たせた部分について、①ゲートバスライン、②ソースバスライン、③絶縁について説明する。

## ②ソースバスライン

通常のソースバスライン5とは別にゲートバスラインとのクロス部にはバイパスライン6を設けている。バイパスライン6を設けることで、実効的にソースライン線幅が増加する。また、ゲートバスラインの場合と同様にソースバスライン全体の剥離の発生確率を低下させることができる。

また、第16図～第20図に詳しい断面を示すが、ソースバスラインも2層以上の導電体薄膜より形成されており、該導電体薄膜の各層間には絶

絶縁膜が設けられているので、該導電体薄膜の各層間を電氣的に接続するためのスルーホール9が設けられている。スルーホール9を通じて各導電体薄膜間を接続することによって、ソースバスラインの断線防止と同時にソースバスラインの抵抗低減にも有効となっている。参照番号7,8はそれぞれソースバスラインとゲートバスラインとのリークを防止するための半導体膜である $a-Si(a^+)$ / $a-Si(i)$ 層、エッチングストッパー $SiNx$ 層である。7,8それぞれは各クロス部において島状に分離して形成されている。これは $a-Si(a^+)$ / $a-Si(i)$ 層7、エッチングストッパー $SiNx$ 層8が剥離することによって起こるクロス部におけるソースバスラインの断線の確率を、島状に分離させるという冗長性によって低下させている。

#### ③絶縁

各接点の區画を行うTFTは、TFT11,11の様に、一つの接点に対して2個設けられる。ここでは、ゲートバスラインからソースバスラインと平行に延びたTFT接続用リードゲートライ

#### 〔プロセス1〕

第2図に示すように、透明な絶縁性ガラス基板50上に膜厚500Å～5000Åのタンタルを蒸着して、ホトリソグラフィプロセスにより斜線部の様にパターニングを行う。第2図において、通常のゲートバスライン1と平行にゲートバイパスライン2を設けている。また、ソースバスラインとのクロス部4ではバイパスラインは形成されていない。これは前述した様に、ソース・ゲートのクロス部を増やすと、ソース・ゲート間での上下リークが起こりやすくなり、かつ浮遊容量も増加してしまうからである。

#### 〔プロセス2〕

次に、第3図の斜線部のように、第2図のソースバスラインとなる5を除いて、つまりゲートバスラインを陽極酸化プロセスによりタンタル表面を酸化して膜厚500Å～5000Åの $Ta_2O_5$ を形成する。

#### 〔プロセス3〕

そして、PCVD法によりゲート絶縁膜 $SiNx$

(3) ン13を介して、2個のTFTが並列に接点に接続されている。即ち、TFT11,11は同一ゲートバスラインと同一ソースバスラインに接続されている。二つのTFTにおいて同時にソースあるいはゲートの断線の発生確率を抑えるため、なるべく間隔を大きくしている。また、ドレイン電極14は、後述するように、チタンと銀素電極材料ITOを用いた2層構造となっている(第19図、第20図参照)。

以上の参照番号1,5,13等はソースバスライン、ゲートバスライン、ゲートバスラインからの引き出しライン等それら自身を要すのに用いたが、以下それらを構成する薄膜層をも表すこととする。

#### 〔製造プロセスの説明〕

次に、第1図のTFTアクティブマトリクス基板の製造プロセスを、第2図～第8図を参照しながら説明する。なお、以下の図に示す斜線部は、その時のプロセスにおける形成又は処理される部分を示している。

層、 $a-Si(i)$ 半導体層、エッチングストッパー $SiNx$ 層をそれぞれ膜厚500Å～6000Å,50Å～4000Å,300Å～5000Åに形成した後、ホトリソグラフィプロセスでパターニングしてエッチングストッパー層だけを第4図の斜線部8のように形成する(第13図参照)。

#### 〔プロセス4〕

そして、PCVD法により膜厚200Å～2000Åの $a-Si(a^+)$ 層を成膜した後、第5図の斜線部7,7で示すように、 $a-Si(a^+)$ / $a-Si(i)$ 層は島状に分離してホトリソグラフィプロセスでパターニングされる(第15図参照)。

#### 〔プロセス5〕

次に、第6図に示すように、ソースバスライン上のゲート絶縁膜である $SiNx$ 層にスルーホール9を開ける。また、ゲートバスライン上の絶縁体層である $SiNx/Ta_2O_5$ 層にもスルーホール3を開ける。スルーホールはそれぞれ2個ずつ開けられる。これは、ホトリソグラフィプロセス不良でどちらかのスルーホールがふさがった場合のた

特開平1-134343 (4)

(4)

めに、やはり冗長性を持たせてスルーホール欠陥を少なくするためである(第16図、第21図参照)。

〔プロセス6〕

続いて、チタンを膜厚が500Å～5000Åとなるようスパッタ蒸着し、第7図の斜線部のパターンのようにチタン、 $a-Si(n^+)$ をエッチングする。ところで、前述のスルーホールリ、3を通して〔プロセス1〕において形成したパターンのタンタルと、当プロセスにおいて蒸着したチタンとが、このチタン自身がスルーホール内に入り込むことで電気的に接続される。従って、ゲートバスライン、ソースバスラインともにチタン・タンタルの上下2重構造となる(第17図、第18図参照)。

〔プロセス7〕

次に、絶縁電極材料であるITOを、膜厚300Å～3000Åにスパッタ蒸着した後、ホトリソグラフィプロセスで第8図の斜線部のようにITO膜をパターンニングする。なお、ITOは、絶縁電極及びTFTのドレイン電極14以外にも、ソース

次にPCVD法により膜厚200Å～2000Åの半導体層 $a-Si(n^+)$ を成膜する(第14図)。そしてホトリソグラフィプロセスで、第12図及び第14図において形成された半導体層 $a-Si(n^+)$ 、 $a-Si(i)$ を同時に、第5図の島状のパターン7に形成する(第15図)。次に、ゲート酸化膜 $SiNx$ にスルーホール9を開ける(第16図)。その後、チタンを膜厚500Å～5000Åにスパッタ蒸着した(第17図)後、チタン、 $a-Si(n^+)$ を、第7図に示すようにソースバスラインのパターンにホトリソグラフィプロセスで形成し(第18図)、絶縁電極となるITOを膜厚300Å～3000Åにスパッタ蒸着した(第19図)後、第8図の斜線部の様にパターンニングする(第20図)。

以上が、第1図のA-A'断面に關しての製造プロセスである。

最後に、参考のために、第1図のC-C'断面図を第21図に示しておく。

〔効果〕

本発明によるアクティブマトリクス基板を用い

バスライン上やゲートバスラインの一部の上にもパターンニングされ、〔プロセス6〕によるチタンの断絶の発生を抑制することができる。

〔断面図による製造プロセスの説明〕

次に、本発明に係るアクティブマトリクス基板の製造プロセスを、第1図におけるA-A'断面に關して説明する。

第9図は、ガラス基板50上に、膜厚500Å～5000Åのタンタルを蒸着したところを示している。次に、第9図のタンタルを、第2図に示すパターンで断絶が第10図のようにパターンニングする。そして、第3図の斜線部のごとくゲートバスラインのみを酸化して酸化膜を第11図のように形成する。そして、PCVD法によりゲート酸化膜 $SiNx$ 、半導体層 $a-Si(i)$ 、エッチングストッパー層をそれぞれ膜厚500Å～6000Å、50Å～4000Å、300Å～5000Åに形成する(第12図)。そしてホトリソグラフィプロセスで第12図におけるエッチングストッパー層を第4図に示す島状のエッチングストッパー層8に形成する(第13図)。

たアクティブマトリクス液晶表示装置における膜状欠陥の発生確率を低下させることが可能となる。従って、アクティブマトリクス液晶表示装置の製造歩留まりを向上させる事ができる。

4. 図面の簡単な説明

第1図は、本発明に係るアクティブマトリクス基板の薄膜トランジスタの製造図である。

第2図～第8図はそれぞれ、第1図における薄膜トランジスタアレイ製造プロセスを示す図である。

第9図～第20図はそれぞれ、第1図における薄膜トランジスタアレイのA-A'線方向の製造プロセスを示す断面図である。

第21図は、第1図における薄膜トランジスタアレイのC-C'線方向の断面図である。

第22図は、従来構造の薄膜トランジスタを示す図である。

第23図は、第22図における薄膜トランジスタのB-B'線方向の断面図である。

第24図は、薄膜トランジスタを含む線素(A

特開平1-134343(5)

..) をマトリクス状に配置したアクティブマトリクス基板を示す図である。

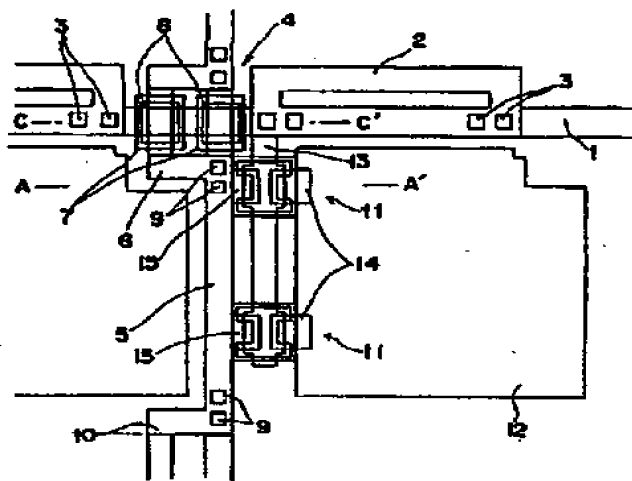
(5)

5…ソースバスライン、11…薄膜トランジスタ、

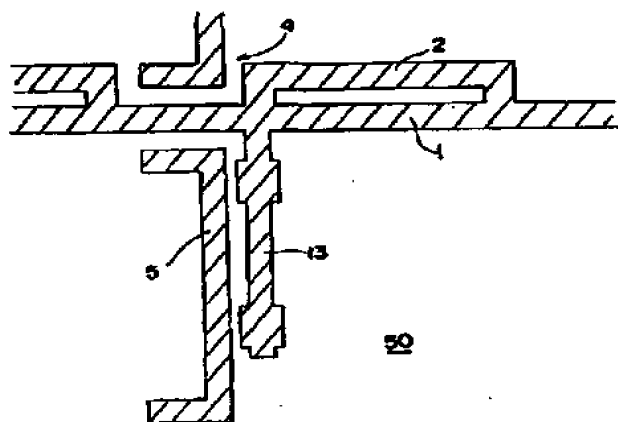
50…ガラス基板。

第1図

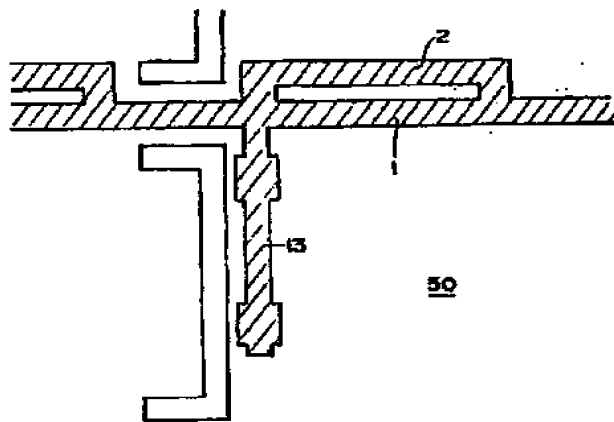
特許出願人 シャープ株式会社  
代理人 弁理士 青山 高 ほか2名



第2図

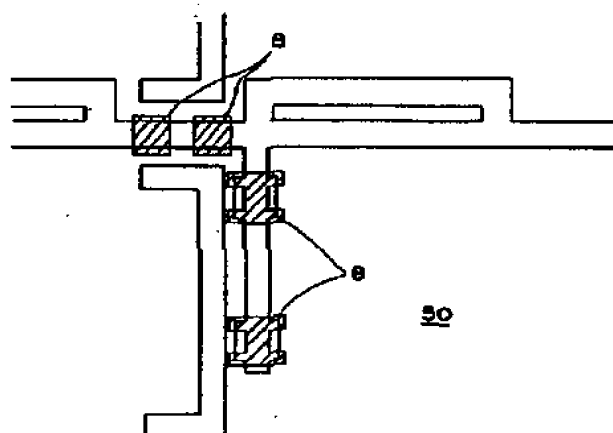


第3図

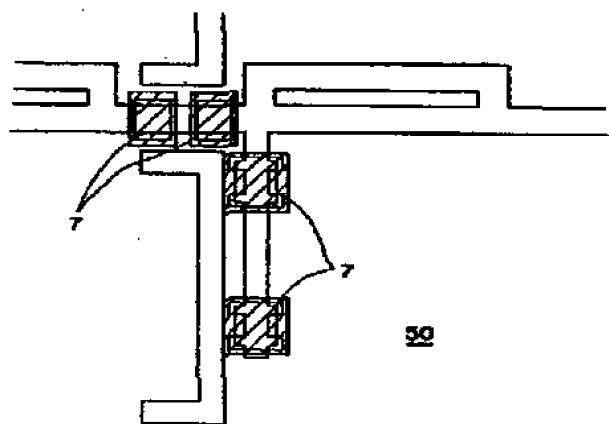


(6)

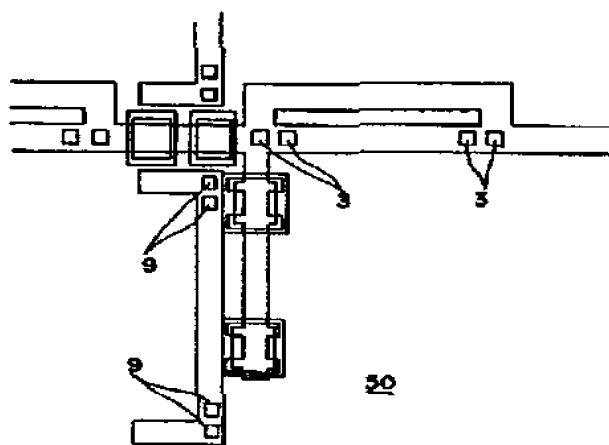
第4図



第5図

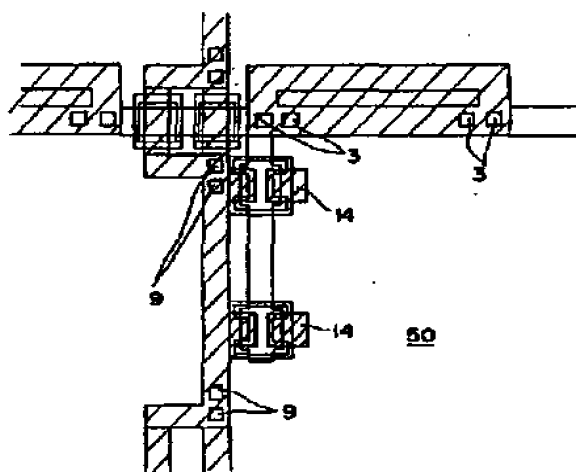


第6図

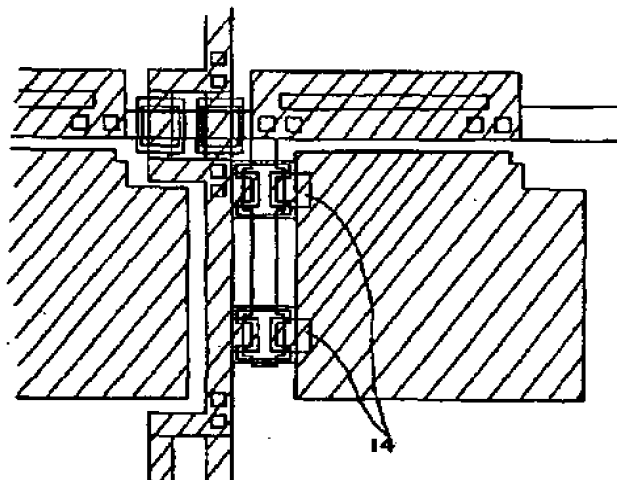


(7)

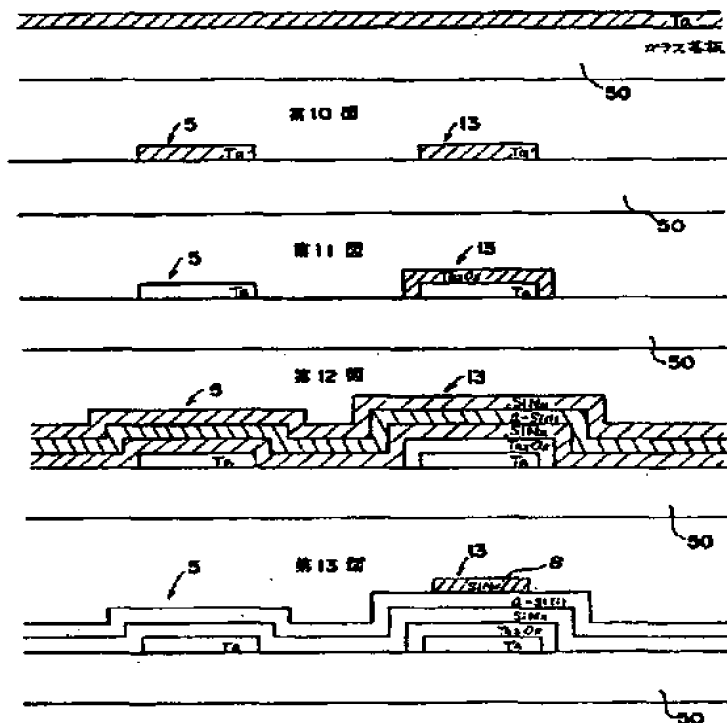
第7図



第8図

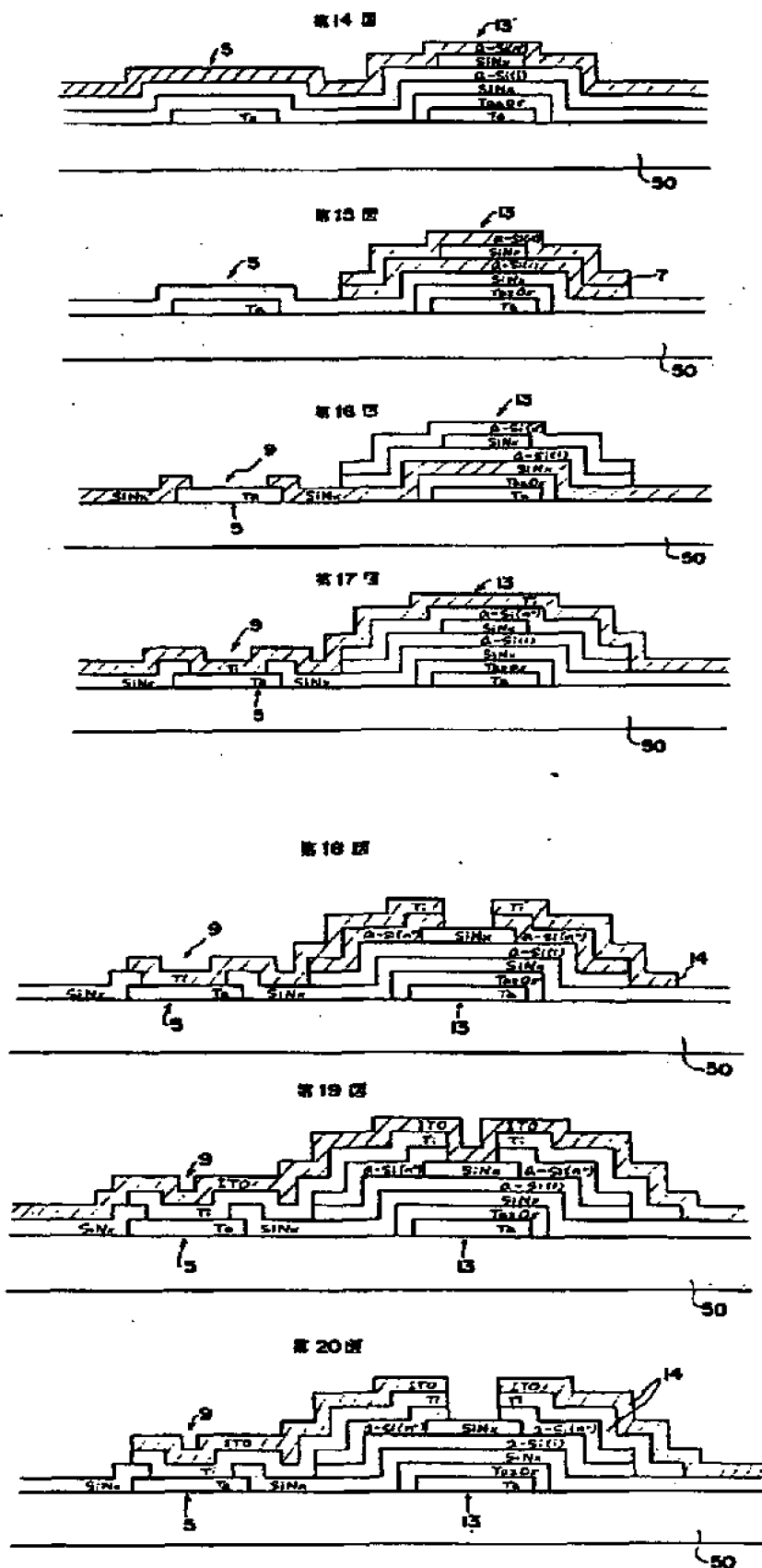


第9図



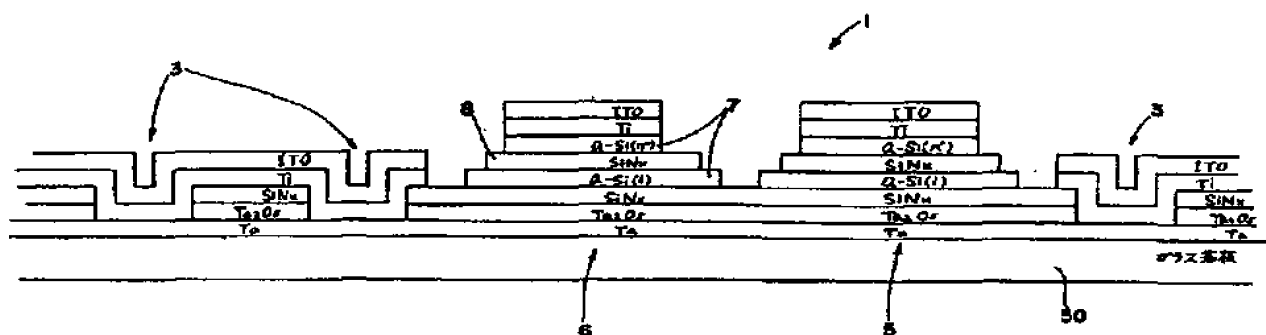


(8)

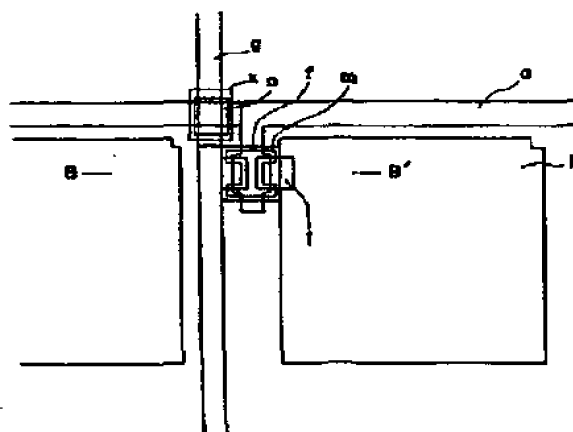


(9)

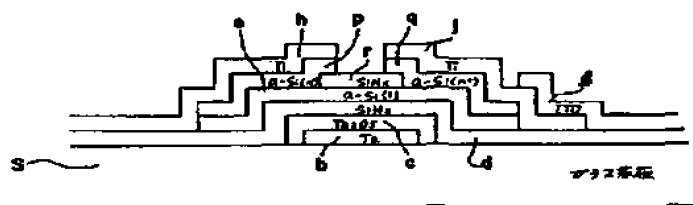
第 21 図



第 22 図



第 23 図



第 24 図

	Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8	---	Yn
X1										
X2	A <sub>21</sub>	A <sub>22</sub>	A <sub>23</sub>	A <sub>24</sub>	A <sub>25</sub>	A <sub>26</sub>	A <sub>27</sub>	---		A <sub>2n</sub>
X3	A <sub>31</sub>	A <sub>32</sub>	A <sub>33</sub>	A <sub>34</sub>	A <sub>35</sub>	A <sub>36</sub>	A <sub>37</sub>	---		A <sub>3n</sub>
X4	A <sub>41</sub>	A <sub>42</sub>	A <sub>43</sub>	A <sub>44</sub>	A <sub>45</sub>	A <sub>46</sub>	A <sub>47</sub>	---		A <sub>4n</sub>
X5	A <sub>51</sub>	A <sub>52</sub>	A <sub>53</sub>	A <sub>54</sub>	A <sub>55</sub>	A <sub>56</sub>	A <sub>57</sub>	---		A <sub>5n</sub>
X6	A <sub>61</sub>	A <sub>62</sub>	A <sub>63</sub>	A <sub>64</sub>	A <sub>65</sub>	A <sub>66</sub>	A <sub>67</sub>	---		A <sub>6n</sub>
X7	A <sub>71</sub>	A <sub>72</sub>	A <sub>73</sub>	A <sub>74</sub>	A <sub>75</sub>	A <sub>76</sub>	A <sub>77</sub>	---		A <sub>7n</sub>
X8	A <sub>81</sub>	A <sub>82</sub>	A <sub>83</sub>	A <sub>84</sub>	A <sub>85</sub>	A <sub>86</sub>	A <sub>87</sub>	---		A <sub>8n</sub>
...	...	...	...	...	...	...	...	...	...	...
Xm	A <sub>m1</sub>	A <sub>m2</sub>	A <sub>m3</sub>	A <sub>m4</sub>	A <sub>m5</sub>	A <sub>m6</sub>	A <sub>m7</sub>	---		A <sub>mn</sub>